

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-100988

(43)Date of publication of application : 05.04.2002

(51)Int.Cl.

H03M 1/12

(21)Application number : 2000-291565

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 26.09.2000

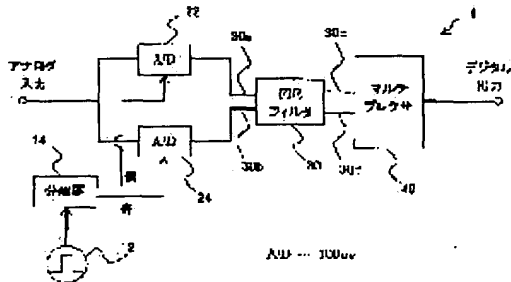
(72)Inventor : NAKADA JUICHI

## (54) A/D CONVERSION INPUT DELAY CORRECTION DEVICE, METHOD AND RECORDING MEDIUM

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide the input delay correction device of an interleave type A/D converter for making a sampling cycle accurate at receiving of the input of analog signals and outputting digital signals.

SOLUTION: The digital signals, outputted from the output terminal 30d of a FIR filter 3, turn into pulses of a timing which is accurately shifted by a half cycle from sampling clock signals supplied to the A/D converter 22, even if the sampling clock signals supplied to the A/D converters 22 and 24 are not shifted accurately for the half cycle. Also, the digital signals outputted from the output terminal 30c of the FIR filter 30 are those, for which the output of the A/D converter 22 is delayed for the integral multiple of the cycle of the sampling clock signals. Thus, by alternately outputting the output of the output terminals 30c and 30d of the FIR filter 30 by a multiplexer 40, the output of the A/D converters 22 and 24 can be shifted accurately for the half cycle of the sampling clock signals and outputted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2002-100988  
(P2002-100988A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int.Cl.<sup>7</sup>

H 0 3 M 1/12

識別記号

F I

H 0 3 M 1/12

テーマコード(参考)

C 5 J 0 2 2

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21)出願番号 特願2000-291565(P2000-291565)

(22)出願日 平成12年9月26日(2000.9.26)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 中田 寿一

東京都練馬区旭町1丁目32番1号 株式会  
社アドバンテスト内

(74)代理人 100097490

弁理士 細田 益穂

Fターム(参考) 5J022 AA01 AC04 BA05 CA07 CC02

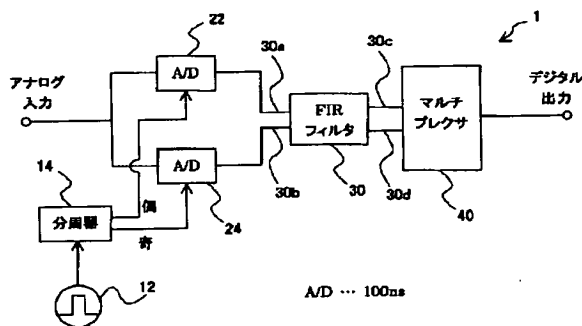
CC03 CE01 CE04

(54)【発明の名称】 A/D変換入力遅延補正装置、方法、記録媒体

(57)【要約】

【課題】 インターリーブ型A/D変換器の入力遅延補正装置を提供する。

【解決手段】 F I Rフィルタ30の出力端子30dから出力されるデジタル信号は、A/D変換器22、24に供給されるサンプリングクロック信号が正確に半周期ずれていなくても、A/D変換器22に供給されるサンプリングクロック信号から正確に半周期ずれたタイミングのパルスとなる。また、F I Rフィルタ30の出力端子30cから出力されるデジタル信号は、A/D変換器22の出力を、サンプリングクロック信号の周期の整数倍だけ遅延させたものである。よって、F I Rフィルタ30の出力端子30c、30dの出力をマルチプレクサ40により交互に出力することで、A/D変換器22、24の出力を正確にサンプリングクロック信号の半周期ずらして出力できる。



【特許請求の範囲】

【請求項1】アナログ信号の入力を受けて、デジタル信号を出力する際のA/D変換入力遅延補正装置であって、

前記アナログ信号を、サンプリングクロック信号と同期してデジタル信号に変換する複数のA/D変換手段と、前記サンプリングクロック信号の位相を異ならせて前記A/D変換手段の各々に供給するクロック信号供給手段と、

各前記A/D変換手段の出力を、前記サンプリングクロック信号の周期ずつ遅延させる遅延手段と、前記遅延手段の出力に所定の係数を乗じて出力する乗算手段と、

前記乗算手段の出力の合計を出力する合計手段と、前記合計手段の出力が最大値をとる時期から所定の時間離れた遅延手段の出力と、前記合計手段の出力とを交互に出力する交互出力手段と、を備えたA/D変換手段の入力遅延補正装置。

【請求項2】アナログ信号を、サンプリングクロック信号と同期してデジタル信号に変換する複数のA/D変換手段と、

前記サンプリングクロック信号の位相を異ならせて前記A/D変換手段の各々に供給するクロック信号供給手段と、

を有するA/D変換入力遅延補正装置におけるA/D変換入力遅延補正方法であって、

各前記A/D変換手段の出力を、前記サンプリングクロック信号の周期ずつ遅延させる遅延工程と、

前記遅延工程における出力に所定の係数を乗じて出力する乗算工程と、

前記乗算工程における出力の合計を出力する合計工程と、

前記合計工程における出力が最大値をとる時期から所定の時間離れた遅延工程における出力と、前記合計工程における出力とを交互に出力する交互出力工程と、

を備えたA/D変換手段の入力遅延補正方法。

【請求項3】アナログ信号を、サンプリングクロック信号と同期してデジタル信号に変換する複数のA/D変換手段と、

前記サンプリングクロック信号の位相を異ならせて前記A/D変換手段の各々に供給するクロック信号供給手段と、

を有するA/D変換入力遅延補正装置におけるA/D変換入力遅延補正処理をコンピュータに実行させるためのプログラムを記録したコンピュータによって読み取り可能な記録媒体であって、

各前記A/D変換手段の出力を、前記サンプリングクロック信号の周期ずつ遅延させる遅延処理と、

前記遅延処理における出力に所定の係数を乗じて出力する乗算処理と、

前記乗算処理における出力の合計を出力する合計処理と、

前記合計処理における出力が最大値をとる時期から所定の時間離れた遅延処理における出力と、前記合計処理における出力とを交互に出力する交互出力処理と、をコンピュータに実行させるためのプログラムを記録したコンピュータによって読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、インターリーブ型A/D (Analog to Digital) コンバータの入力遅延補正に関する。

【0002】

【従来の技術】被測定物 (DUT: Device Under Test) の高速化等に伴い、DUTの出力するアナログ信号をデジタル信号に変換すること等を使用されるA/Dコンバータの高速化が従来より求められている。インターリーブ型A/Dコンバータは、A/Dコンバータの高速化を達成するためのものである。

【0003】インターリーブ型A/Dコンバータの例を図10に示す。DUT102から出力されるアナログ信号は、A/Dコンバータ112、114に入力される。A/Dコンバータ112には、サンプリングクロックAが与えられる。A/Dコンバータ114には、サンプリングクロックBが与えられる。サンプリングクロックBは、サンプリングクロックAよりも、半周期遅れている。なお、サンプリングクロックA、Bの周期を共に100[ns]とする。A/Dコンバータ112は、デジタル信号D0、D2、D4、…を出力する。A/Dコンバータ114は、デジタル信号D1、D3、D5、…を出力する。A/Dコンバータ112、114の出力したデジタル信号は、マルチプレクサ120によりD0、D1、D2、D3、D4、…として出力される。

【0004】図11に、全体のサンプリングクロック、サンプリングクロックA、Bのタイムチャートを示す。まず、サンプリングクロックAが、D0に対応するクロック信号を出力した後、100[ns]後にD2に対応するクロック信号を出力し、さらに100[ns]後にD4に対応するクロック信号を出力する。また、サンプリングクロックBが、D0に対応するクロック信号に半周期すなわち、50[ns]遅れて、D1に対応するクロック信号を出力する。そして、100[ns]後にD3に対応するクロック信号を出力する。よって、図11の最上段に示すように全体のサンプリングクロックは、サンプリングクロックAおよびBを合わせた、D0、D1、D2、D3、D4、…のようになる。その際の全体のサンプリングクロックの周期は、50[ns]となる。

【0005】上記のように、A/Dコンバータを二個 (A/Dコンバータ112、114) 使用することで、通常のサンプリングの周期の1/2の周期で、サンプリ

ングを行える。例えば、100[ns]周期のサンプリングを、50[ns]周期のサンプリングにできる。なお、A/Dコンバータを二個を超えて使用してもよく、三個使用すれば、1/3の周期で、四個使用すれば、1/4の周期で、サンプリングを行える。例えば、A/Dコンバータを四個使用すれば、100[ns]周期のサンプリングを、25[ns]周期のサンプリングにできる。

【0006】

【発明が解決しようとする課題】しかしながら、サンプリングクロックAおよびBの時間のずれを正確に半周期にしなければ、サンプリングの周期を正確に1/2にできない。例えば、図12(a)のように、サンプリングクロックBが、あるべき時間よりも $\tau$ だけ遅れていたとする。このような現象を入力遅延という。そのときの全体のサンプリングクロックを図12(b)に示す。本来、D0、D1、D2に対応するクロック信号の間隔は50[ns]であるべきところ、D0、D1に対応するクロック信号の間隔は50+ $\tau$ [ns]であり、D1、D2に対応するクロック信号の間隔は50- $\tau$ [ns]である。このようなサンプリング周期の不均一が、不都合であることは明白である。

【0007】そこで、本発明は、A/D変換器の入力遅延補正装置等を提供することを課題とする。

【0008】

【課題を解決するための手段】請求項1に記載の発明は、アナログ信号の入力を受けて、デジタル信号を出力する際のA/D変換入力遅延補正装置であって、アナログ信号を、サンプリングクロック信号と同期してデジタル信号に変換する複数のA/D変換手段と、サンプリングクロック信号の位相を異ならせてA/D変換手段の各々に供給するクロック信号供給手段と、各A/D変換手段の出力を、サンプリングクロック信号の周期ずつ遅延させる遅延手段と、遅延手段の出力に所定の係数を乗じて出力する乗算手段と、乗算手段の出力の合計を出力する合計手段と、合計手段の出力が最大値をとる時期から所定の時間離れた遅延手段の出力と、合計手段の出力とを交互に出力する交互出力手段と、を備えるように構成される。

【0009】上記のように構成されたA/D変換入力遅延補正装置によれば、遅延手段、乗算手段および合計手段はいわゆるFIR(Finite Impulse Response:有限インパルス応答)フィルタを構成する。FIRフィルタの出力が最大値をとる時期は一定であるため、複数のA/D変換手段の内のいずれかに入力遅延があったとしても、FIRフィルタの出力が最大値をとったときの信号をデジタル信号として使用すれば入力遅延を補正できる。

【0010】請求項2に記載の発明は、アナログ信号を、サンプリングクロック信号と同期してデジタル信号に変換する複数のA/D変換手段と、サンプリングクロ

ック信号の位相を異ならせてA/D変換手段の各々に供給するクロック信号供給手段と、を有するA/D変換入力遅延補正装置におけるA/D変換入力遅延補正方法であって、各A/D変換手段の出力を、サンプリングクロック信号の周期ずつ遅延させる遅延工程と、遅延工程における出力に所定の係数を乗じて出力する乗算工程と、乗算工程における出力の合計を出力する合計工程と、合計工程における出力が最大値をとる時期から所定の時間離れた遅延工程における出力と、合計工程における出力とを交互に出力する交互出力工程と、を備えたA/D変換手段の入力遅延補正方法である。

【0011】請求項3に記載の発明は、アナログ信号を、サンプリングクロック信号と同期してデジタル信号に変換する複数のA/D変換手段と、サンプリングクロック信号の位相を異ならせてA/D変換手段の各々に供給するクロック信号供給手段と、を有するA/D変換入力遅延補正装置におけるA/D変換入力遅延補正処理をコンピュータに実行させるためのプログラムを記録したコンピュータによって読み取り可能な記録媒体であって、各A/D変換手段の出力を、サンプリングクロック信号の周期ずつ遅延させる遅延処理と、遅延処理における出力に所定の係数を乗じて出力する乗算処理と、乗算処理における出力の合計を出力する合計処理と、合計処理における出力が最大値をとる時期から所定の時間離れた遅延処理における出力と、合計処理における出力とを交互に出力する交互出力処理と、をコンピュータに実行させるためのプログラムを記録したコンピュータによって読み取り可能な記録媒体である。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0013】図1は、本発明の実施形態にかかるA/D変換入力遅延補正装置1の構成を示すブロック図である。本発明の実施形態にかかるA/D変換入力遅延補正装置1は、クロック信号源12、分周器14、A/D変換器22、24、FIR(Finite Impulse Response:有限インパルス応答)フィルタ30、マルチプレクサ40を備える。

【0014】クロック信号源12は、一定の周期のクロック信号を生成する。分周器14は、クロック信号源12の生成したクロック信号を分周して、偶数番目のパルスをA/D変換器22に、奇数番目のパルスをA/D変換器24に供給する。A/D変換器22、24に供給されるパルスをサンプリングクロック信号といい、その周期を100[ns]とする。A/D変換器22に供給されるサンプリングクロック信号の位相と、A/D変換器24に供給されるサンプリングクロック信号の位相とは180度異なることになる。

【0015】A/D変換器22、24は、入力されたアナログ信号を、サンプリングクロック信号と同期してデ

デジタル信号に変換する。なお、A/D変換器22、24に入力されるアナログ信号は同一の信号である。しかも、サンプリングクロック信号の位相が180度異なっている。よって、A/D変換器22、24は、いわゆるインターリーブ型A/D変換器を構成する。

【0016】FIRフィルタ30は、入力端子30a、30b、出力端子30c、30d、を有する。入力端子30aには、A/D変換器22の出力が入力される。入力端子30bには、A/D変換器24の出力が入力される。出力端子30cには、入力端子30aに入力された信号が遅延されて出力される。出力端子30dには、入力端子30aおよび30bに入力された信号に所定の処理を施した信号が出力される。

【0017】FIRフィルタ30の内部構成を図2に示す。FIRフィルタ30は、さらに遅延部(バッファ)32a-d、乗算器36a-g、合計器38を有する。

【0018】遅延部32a-dは、入力端子30aに入力された信号をサンプリングクロック信号の周期(ここでは、100[ns])ずつ遅らせて出力する。遅延部32aは、入力端子30aに入力された信号をサンプリングクロック信号の周期だけ遅らせて出力する。遅延部32bは、遅延部32aの出力した信号をサンプリングクロック信号の周期だけ遅らせて出力する。遅延部32cは、遅延部32bの出力した信号をサンプリングクロック信号の周期だけ遅らせて出力する。遅延部32dは、遅延部32cの出力した信号をサンプリングクロック信号の周期だけ遅らせて出力する。ここで、遅延部32aに入力される信号を $D_{-3}$ 、遅延部32aから出力される信号を $D_{-1}$ 、遅延部32bから出力される信号を $D_1$ 、遅延部32cから出力される信号を $D_3$ とする。

【0019】遅延部34a-dは、入力端子30bに入力された信号をサンプリングクロック信号の周期(ここでは、100[ns])ずつ遅らせて出力する。遅延部34aは、入力端子30bに入力された信号をサンプリングクロック信号の周期だけ遅らせて出力する。遅延部34bは、遅延部34aの出力した信号をサンプリングクロック信号の周期だけ遅らせて出力する。遅延部34cは、遅延部34bの出力した信号をサンプリングクロック信号の周期だけ遅らせて出力する。遅延部34dは、遅延部34cの出力した信号をサンプリングクロック信号の周期だけ遅らせて出力する。ここで、遅延部34aから出力される信号を $D_{-2}$ 、遅延部34bから出力される信号を $D_0$ 、遅延部34cから出力される信号を $D_2$ とする。

【0020】出力端子30cは、遅延部32bの出力に接続される。出力端子30cには、信号 $D_1$ が出力される。

【0021】乗算器36a-gは、遅延部の出力等に所定の係数を乗じて出力する。乗算器36aは、信号 $D_{-3}$

に係数 $C_{-3}$ を乗じて出力する。乗算器36bは、信号 $D_{-2}$ に係数 $C_{-2}$ を乗じて出力する。乗算器36cは、信号 $D_{-1}$ に係数 $C_{-1}$ を乗じて出力する。乗算器36dは、信号 $D_0$ に係数 $C_0$ を乗じて出力する。乗算器36eは、信号 $D_1$ に係数 $C_1$ を乗じて出力する。乗算器36fは、信号 $D_2$ に係数 $C_2$ を乗じて出力する。乗算器36gは、信号 $D_3$ に係数 $C_3$ を乗じて出力する。

【0022】合計器38は、乗算器36a-gの出力を合計して、出力端子30dに出力する。

【0023】マルチプレクサ40は、FIRフィルタ30の出力端子30c、30dを入力として、出力端子30c、30dから入力されてくる信号を交互に出力する。マルチプレクサ40の出力の態様を図3に示す。マルチプレクサ40は、出力端子30cから、A1、A2、…という信号が入力され、出力端子30dから、B1、B2、…という信号が入力されると、A1、B1、A2、B2、…という信号を出力する。

【0024】次に、本発明の実施形態にかかるA/D変換入力遅延補正装置1の動作を説明する。まず、A/D変換器22に供給されるサンプリングクロック信号の位相と、A/D変換器24に供給されるサンプリングクロック信号の位相とが、正確に180度異なる場合を説明する。

【0025】A/D変換器22、24にはアナログ信号が入力される。A/D変換器22、24は、分周器14から供給されるサンプリングクロック信号と同期して、アナログ信号をデジタル信号に変換して出力する。なお、サンプリングクロック信号は、クロック信号源12の生成するクロック信号を、分周器14が分周して生成される。

【0026】A/D変換器22の出力は、FIRフィルタ30の入力端子30aに入力される。A/D変換器24の出力は、FIRフィルタ30の入力端子30bに入力される。入力端子30aに入力される信号を図4(a)に、入力端子30bに入力される信号を図4(b)に示す。

【0027】図4(a)、(b)に示すようにA/D変換器22、24の出力は半周期ずれている。サンプリングクロックの周期を100[ns]としているので、50[ns]ずれていることになる。

【0028】図4(c)に、入力端子30aに入力された最初の信号(図4(a)の左端のパルス)が、遅延部32a-cにより遅延された信号を示す。信号 $D_{-3}$ は、入力端子30aに入力された最初の信号と同時に発生する。信号 $D_{-1}$ は、遅延部32aにより、信号 $D_{-3}$ から一周遅延されて発生する。信号 $D_1$ は、遅延部32bにより、信号 $D_{-1}$ から一周遅延されて発生する。信号 $D_3$ は、遅延部32cにより、信号 $D_1$ から一周遅延されて発生する。

【0029】図4(d)に、入力端子30bに入力され

た最初の信号(図4(b)の左端のパルス)が、遅延部34a-cにより遅延された信号を示す。信号 $D_{-2}$ は、遅延部34aにより、入力端子30bに入力された最初の信号から一周期遅延されて発生する。信号 $D_0$ は、遅延部34bにより、信号 $D_{-2}$ から一周期遅延されて発生する。信号 $D_2$ は、遅延部34cにより、信号 $D_0$ から一周期遅延されて発生する。

【0030】図4(e)に、乗算器36a-gに入力される信号を示す。乗算器36a-gには、それぞれ、信号 $D_{-3}$ 、信号 $D_{-2}$ 、信号 $D_{-1}$ 、信号 $D_0$ 、信号 $D_1$ 、信号 $D_2$ 、信号 $D_3$ 、が入力される。よって、乗算器36a-gには、サンプリングクロック信号の半周期すなわち50[ns]間隔のパルスが入力されることになる。

【0031】よって、図2に示すFIRフィルタの内部構成は、図5に示す通常のFIRフィルタと等価である。図5に示す通常のFIRフィルタは、入力端子30a、遅延部62a-h、乗算器36a-g、合計器38を有する。入力端子30a、乗算器36a-g、合計器38は、図2に示すFIRフィルタの内部構成と同様である。遅延部62a-hは、入力された信号をサンプリングクロック信号の半周期すなわち50[ns]遅延させて出力する。乗算器36a-gは、遅延部62aに入力される前の信号 $D_{-3}$ 、遅延部62aが出力した信号 $D_{-2}$ 、…、遅延部62gが出力した信号 $D_3$ 、に所定の係数 $C_{-3}$ 、 $C_{-2}$ 、…、 $C_3$ を乗じて出力する。合計器38は、乗算器36a-gの出力を合計して、出力端子30dに出力する。

【0032】FIRフィルタに、パルスを入力したときの出力はインパルス応答として観測できる。図5に示す通常のFIRフィルタは、所定の係数 $C_{-3}$ 、 $C_{-2}$ 、…、 $C_3$ を適宜設定することによりローパスフィルタにすることができる。この場合、FIRフィルタのインパルス応答は、一般的に、乗算器36a-gの内中央にあたる乗算器36dに信号が入力される時に、図6に示すように、最大値をとる。横軸である時間軸に、 $D_{-3}$ 、 $D_{-2}$ 、…、 $D_3$ とあるのは、信号 $D_{-3}$ 、 $D_{-2}$ 、…、 $D_3$ が乗算器36a-gに入力される時を意味している。なお、図6に示すように、信号 $D_{-3}$ 、 $D_{-2}$ 、…、 $D_3$ が乗算器36a-gに入力される時のデータを補間すれば、信号 $D_0$ が乗算器36dに入力される時に最大値をとる曲線が得られる。乗算器および遅延部の個数を増やすことによって、図7に示すように、FIRフィルタの出力の最大値を他の値と比べて著しく大きくすることができる。よって、FIRフィルタの出力信号を、信号 $D_0$ が乗算器36dに入力される時に出力されるパルス信号として扱うことができる。このパルス信号は出力端子30dに出力される。

【0033】また、図2を参照して、出力端子30cには、信号 $D_1$ が乗算器36eに入力される時に出力されるパルス信号が出力される。よって、マルチプレクサ4

0の出力する信号は、図4(c)(d)を参照して、信号 $D_0$ 、 $D_1$ のタイミングで発生するパルス信号として扱える。信号 $D_0$ 、 $D_1$ の間隔は50[ns]であるため、マルチプレクサ40からは周期が50[ns]のパルス信号が出力されることになる。

【0034】次に、A/D変換器22に供給されるサンプリングクロック信号の位相と、A/D変換器24に供給されるサンプリングクロック信号の位相との位相差が、正確に180度ではない場合を説明する。

【0035】A/D変換器22、24にはアナログ信号が入力される。A/D変換器22、24は、分周器14から供給されるサンプリングクロック信号と同期して、アナログ信号をデジタル信号に変換して出力する。なお、サンプリングクロック信号は、クロック信号源12の生成するクロック信号を、分周器14が分周して生成される。

【0036】A/D変換器22の出力は、FIRフィルタ30の入力端子30aに入力される。A/D変換器24の出力は、FIRフィルタ30の入力端子30bに入力される。入力端子30aに入力される信号を図8(a)に、入力端子30bに入力される信号を図8(b)に示す。

【0037】図8(a)、(b)に示すようにA/D変換器22、24の出力は60[ns]ずれている。サンプリングクロックの周期を100[ns]としているので、半周期からさらに10[ns]ずれていることになる。

【0038】図8(c)に、入力端子30aに入力された最初の信号(図8(a)の左端のパルス)が、遅延部32a-cにより遅延された信号を示す。信号 $D_{-3}$ は、入力端子30aに入力された最初の信号と同時に発生する。信号 $D_{-1}$ は、遅延部32aにより、信号 $D_{-3}$ から一周期遅延されて発生する。信号 $D_1$ は、遅延部32bにより、信号 $D_{-1}$ から一周期遅延されて発生する。信号 $D_3$ は、遅延部32cにより、信号 $D_1$ から一周期遅延されて発生する。

【0039】図8(d)に、入力端子30bに入力された最初の信号(図8(b)の左端のパルス)が、遅延部34a-cにより遅延された信号を示す。信号 $D_{-2}$ は、遅延部34aにより、入力端子30bに入力された最初の信号から一周期遅延されて発生する。信号 $D_0$ は、遅延部34bにより、信号 $D_{-2}$ から一周期遅延されて発生する。信号 $D_2$ は、遅延部34cにより、信号 $D_0$ から一周期遅延されて発生する。なお、図8(d)に、 $D_{-2}(F)$ 、 $D_0(F)$ 、 $D_2(F)$ という表記は、50[ns]ずれているべきところを誤差があるので、失敗したということを明確にするため、Falseの頭文字をとって付加したものである。 $D_{-2}(F)$ 、 $D_0(F)$ 、 $D_2(F)$ は、本来あるべきタイミングよりも10[ns]ずれて生成されている。

【0040】図8(e)に、乗算器36a-gに入力される信号を示す。乗算器36a-gには、それぞれ、信

号 $D_{-3}$ 、信号 $D_{-2}(F)$ 、信号 $D_{-1}$ 、信号 $D_0(F)$ 、信号 $D_1$ 、信号 $D_2(F)$ 、信号 $D_3$ 、が入力される。よって、乗算器36a-gには、60[ns]、40[ns]間隔のパルスが入力されることになる。このときの、FIRフィルタ30のインパルス応答を図9に示す。インパルス応答が計測されるタイミングが、図6の場合とは異なる。すなわち、信号 $D_{-2}$ 、 $D_0$ 、 $D_2$ のタイミングのかわりに、信号 $D_{-2}(F)$ 、 $D_0(F)$ 、 $D_2(F)$ のタイミングで計測される。しかし、FIRフィルタ30が変わったわけではなく同一であるため、FIRフィルタ30のインパルス応答は、図9の場合も図6の場合も同一である。そこで、信号 $D_{-3}$ 、信号 $D_{-2}(F)$ 、信号 $D_{-1}$ 、信号 $D_0(F)$ 、信号 $D_1$ 、信号 $D_2(F)$ 、信号 $D_3$ 、のタイミングにおいて測定された振幅を補間すれば、図6の場合と同一の、信号 $D_0$ が乗算器36dに入力される時に最大値をとる曲線が得られる。

【0041】よって、FIRフィルタの出力信号を、信号 $D_0$ が乗算器36dに入力される時に出力されるパルス信号として扱うことができる。このパルス信号は出力端子30dに出力される。したがって、FIRフィルタの出力信号は、A/D変換器22に供給されるサンプリングクロック信号の位相と、A/D変換器24に供給されるサンプリングクロック信号の位相との位相差との間の誤差を補正したものとなる。

【0042】また、図2を参照して、出力端子30cには、信号 $D_1$ が乗算器36eに入力される時に出力されるパルス信号が出力される。よって、マルチプレクサ40の出力する信号は、図4(c)(d)を参照して、信号 $D_0$ 、 $D_1$ のタイミングで発生するパルス信号として扱える。信号 $D_0$ 、 $D_1$ の間隔は50[ns]であるため、マルチプレクサ40からは周期が50[ns]のパルス信号が出力されることになる。

【0043】本発明の実施形態によれば、FIRフィルタ30の出力端子30dから出力されるデジタル信号は、A/D変換器22、24に供給されるサンプリングクロック信号が正確に半周期ずれていなくても、A/D変換器22に供給されるサンプリングクロック信号から正確に半周期ずれたタイミングのパルスとなる。また、FIRフィルタ30の出力端子30cから出力されるデジタル信号は、A/D変換器22の出力を、サンプリングクロック信号の周期の整数倍だけ遅延させたものである。よって、FIRフィルタ30の出力端子30c、30dの出力をマルチプレクサ40により交互に出力することで、A/D変換器22、24の出力を正確にサンプリングクロック信号の半周期ずらして出力できる。

【0044】なお、本実施形態では、A/D変換器がA/D変換器22、24の二個である場合を説明したが、三個以上にすることも可能である。

【0045】また、上記の実施形態は、以下のようにして実現できる。CPU、ハードディスク、メディア（フ

ロッピー（登録商標）ディスク、CD-ROMなど）読み取り装置を備えたコンピュータのメディア読み取り装置に、上記の各部分を実現するプログラムを記録したメディアを読み取らせて、ハードディスクにインストールする。このような方法でも、上記の機能を実現できる。

【0046】

【発明の効果】本発明によれば、遅延手段、乗算手段および合計手段はいわゆるFIRフィルタを構成する。FIRフィルタの出力が最大値をとる時期は一定であるため、複数のA/D変換手段の内のいずれかに入力遅延があったとしても、FIRフィルタの出力が最大値をとったときの信号をデジタル信号として使用すれば入力遅延を補正できる。

【図面の簡単な説明】

【図1】本発明の実施形態にかかるA/D変換入力遅延補正装置1の構成を示すブロック図である。

【図2】FIRフィルタ30の内部構成を示すブロック図である。

【図3】マルチプレクサ40の出力の態様を示す図である。

【図4】A/D変換器22、24に供給されるサンプリングクロック信号の位相が、互いに正確に180度異なる場合における、入力端子30aのデジタル信号（図4(a)）、入力端子30bのデジタル信号（図4(b)）、遅延部32a-cの入出力信号（図4(c)）、遅延部34a-cの出力信号（図4(d)）、乗算器36a-gへの入力信号（図4(e)）を示すタイムチャートである。

【図5】FIRフィルタ30と等価である通常のFIRフィルタを示すブロック図である。

【図6】FIRフィルタ30のインパルス応答を示すグラフである。

【図7】FIRフィルタのインパルス応答において、最大値が他の値よりも際立って大きい場合を示すグラフである。

【図8】A/D変換器22、24に供給されるサンプリングクロック信号の位相の位相差が、正確には180度ではない場合における、入力端子30aのデジタル信号（図8(a)）、入力端子30bのデジタル信号（図8(b)）、遅延部32a-cの入出力信号（図8(c)）、遅延部34a-cの出力信号（図8(d)）、乗算器36a-gへの入力信号（図8(e)）を示すタイムチャートである。

【図9】FIRフィルタ30のインパルス応答を示すグラフである。

【図10】従来技術における、インターリーブ型A/Dコンバータの例を示すブロック図である。

【図11】従来技術における、全体のサンプリングクロック、サンプリングクロックA、Bのタイムチャートである。

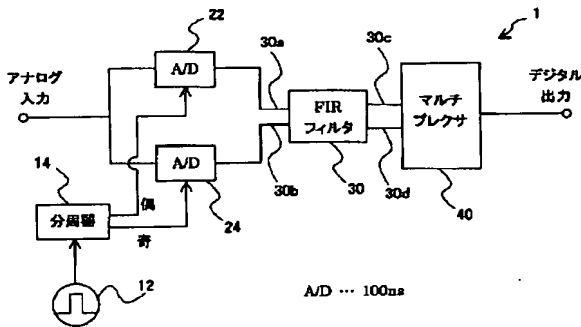
【図12】従来技術における、入力遅延（図12  
(a)）および全体のサンプリングクロック（図12  
(b)）を示すタイムチャートである。

【符号の説明】

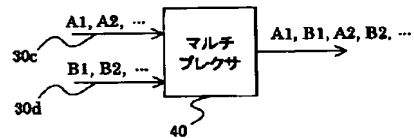
1 A/D変換入力遅延補正装置  
12 クロック信号源  
14 分周器  
22、24 A/D変換器

30 FIRフィルタ  
30a、30b 入力端子  
30c、30d 出力端子  
32a-d 遅延部（バッファ）  
34a-d 遅延部（バッファ）  
36a-g 乗算器  
38 合計器  
40 マルチプレクサ

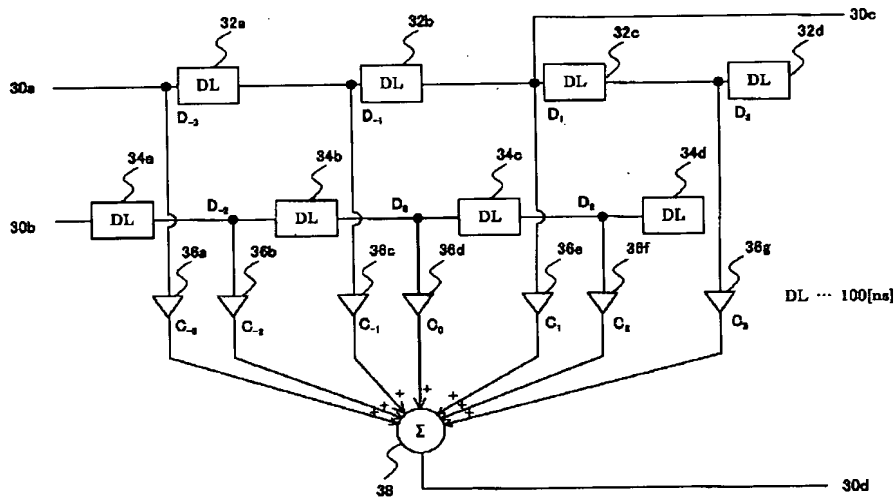
【図1】



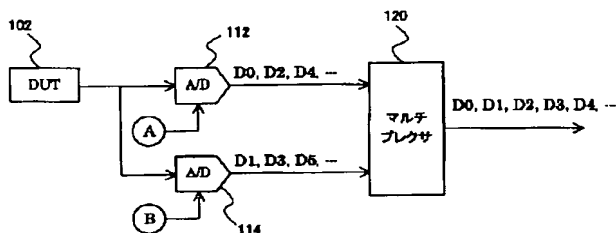
【図3】



【図2】

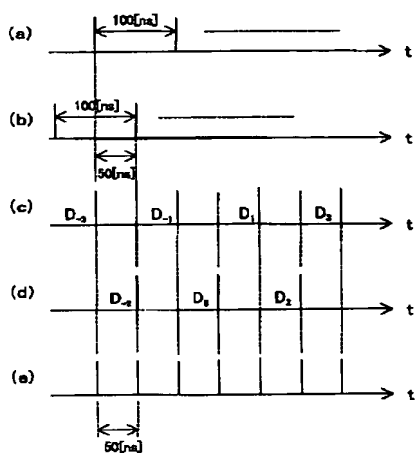


【図10】

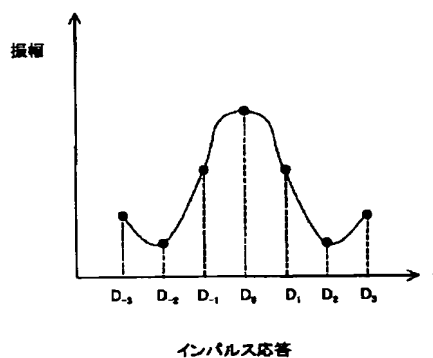




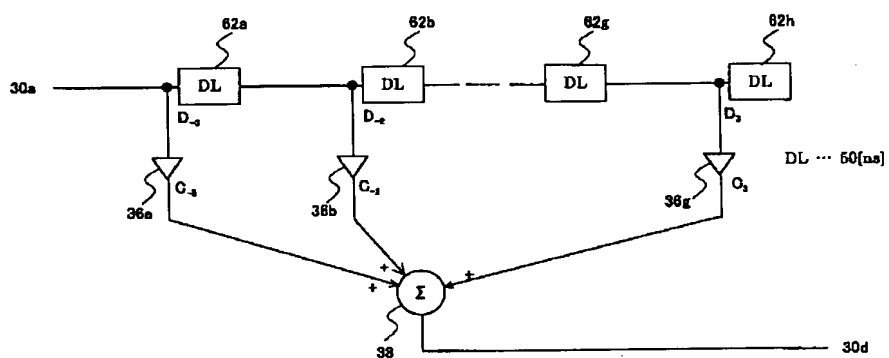
【図4】



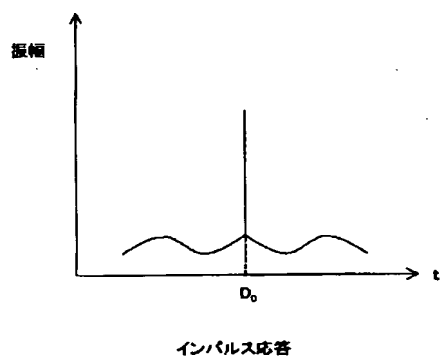
【図6】



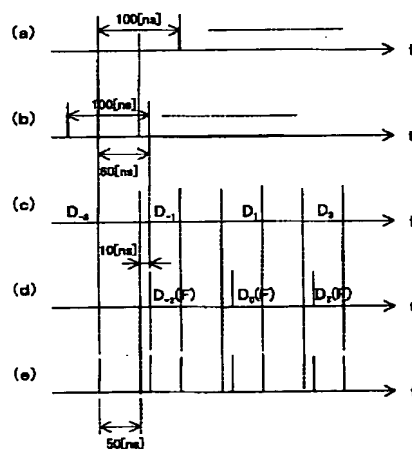
【図5】



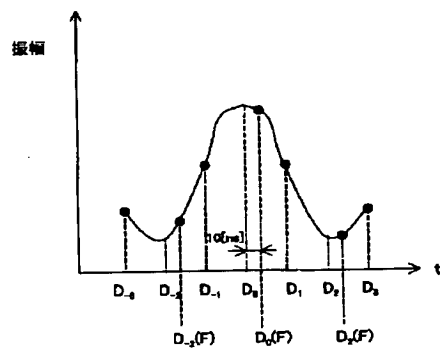
【図7】



【図8】

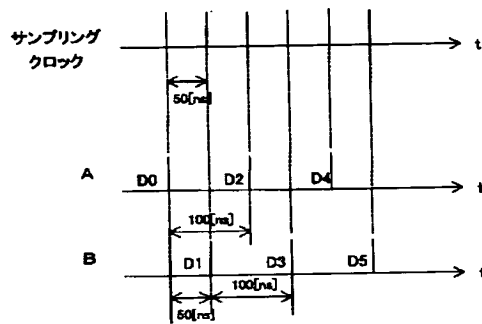


【図9】



インパルス応答

【図11】



【図12】

